

Docket No.: 60188-706

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Shiro DOSHO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 17, 2003	:	Examiner: Unknown
	:	
For: DUTY CYCLE CORRECTION CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-354732, filed December 6, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: November 17, 2003

60188-706
DOSHIO et al.
November 17, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 6 日
Date of Application:

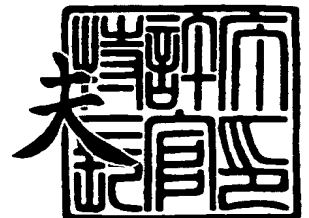
出 願 番 号 特 願 2 0 0 2 - 3 5 4 7 3 2
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 5 4 7 3 2]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 7 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2037640002

【提出日】 平成14年12月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/093

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 道正 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 柳沢 直志

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 外山 正臣

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 梅原 啓二郎

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デューティ比補正回路

【特許請求の範囲】

【請求項 1】 1 周期あたりの第 1 の論理値の期間が第 2 の論理値の期間よりも短い第 1 のクロックを入力し、この第 1 のクロックを遅延させて、前記第 2 の論理値への変化が、前記第 1 のクロックの前記第 1 の論理値への変化時から半周期に相当する時間が経過したタイミングに現れる第 2 のクロックを出力する遅延部と、

前記第 1 および第 2 のクロックに基づいて第 3 のクロックを出力するクロック出力部とを備え、

前記クロック出力部は、

前記第 1 のクロックが前記第 1 の論理値に変化したとき、前記第 3 のクロックを、前記第 1 および第 2 の論理値のいずれか一方である第 1 の出力論理値に設定する第 1 の出力部と、

前記第 2 のクロックが前記第 2 の論理値に変化したとき、前記第 3 のクロックを、前記第 1 および第 2 の論理値の他方である第 2 の出力論理値に設定する第 2 の出力部とを有するものであり、

前記第 1 のクロックを入力し、これのデューティ比を補正して、前記第 3 のクロックを出力することを特徴とするデューティ比補正回路。

【請求項 2】 請求項 1 に記載のデューティ比補正回路において、前記第 1 のクロックは、分周回路によって生成されたものであることを特徴とするデューティ比補正回路。

【請求項 3】 請求項 1 に記載のデューティ比補正回路において、前記第 1 の出力部は、n チャネル型および p チャネル型のいずれか一方のチャネル型であって、かつ、ゲートに前記第 1 のクロックを入力する第 1 のトランジスタを有するものであり、

前記第 2 の出力部は、n チャネル型および p チャネル型の他方のチャネル型であって、かつ、ゲートに前記第 2 のクロックを入力するとともに、前記第 1 のト

ランジスタとドレイン同士が接続された第2のランジスタを有するものであり

前記第3のクロックは、前記第1および第2のランジスタの共通のドレインから出力される信号に基づいたものであることを特徴とするデューティ比補正回路。

【請求項4】 請求項1に記載のデューティ比補正回路において、

前記遅延部は、与えられた信号を通過させる状態にされ、かつ、前記第1のクロックを入力して前記第2のクロックを出力するトランスファークゲートを有するものであることを特徴とするデューティ比補正回路。

【請求項5】 請求項4に記載のデューティ比補正回路において、

前記トランスファークゲートは、ゲートとドレインとが接続されたランジスタを有するものであることを特徴とするデューティ比補正回路。

【請求項6】 請求項1に記載のデューティ比補正回路において、

前記遅延部は、ゲートに所定の電圧が与えられ、かつ、ソースまたはドレインに前記第1のクロックを入力してドレインまたはソースから前記第2のクロックを出力するランジスタを有するものであり、

前記ランジスタのゲートに与えられる前記所定の電圧は、当該ランジスタがnチャネル型ランジスタにあつては当該ランジスタのゲート閾値以上の電圧である一方、当該ランジスタがpチャネル型ランジスタにあつては当該ランジスタのゲート閾値以下の電圧であることを特徴とするデューティ比補正回路。

【請求項7】 請求項5または6に記載のデューティ比補正回路において、

前記第1のクロックは、少なくとも1個のnチャネル型ランジスタおよび少なくとも1個のpチャネル型ランジスタで構成されたクロック生成回路によって生成されたものであり、

前記クロック出力部は、少なくとも1個のnチャネル型ランジスタおよび少なくとも1個のpチャネル型ランジスタで構成されたものであり、

前記遅延部を構成する前記トランジスタは、前記第3のクロックが前記第1の出力論理値に変化したときに前記クロック生成回路および前記クロック出力部が有する前記第1の出力部においてターンオンするトランジスタと、前記第3のクロックが前記第2の出力論理値に変化したときに前記クロック生成回路および前記クロック出力部が有する前記第2の出力部においてターンオンするトランジスタとで、個数に差異が生じている方のチャネル型のものであることを特徴とするデューティ比補正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル回路におけるクロックを加工する回路に関するものであり、特に、分周回路などによって生成されたクロックのデューティ比を補正するのに好適な回路技術に関する。

【0002】

【従来の技術】

デジタル回路において、各部の動作の歩調を合わせるために用いられるクロックのデューティ比を50%に保つことは非常に重要である。一般に、デューティ比50%のクロックは分周回路によって生成される。

【0003】

図7は、一般的な分周回路（2分周回路）の回路構成を示す。同図に示した分周回路100は、クロックCK0を入力し、これを2分周してクロックCK1を出力する。クロックCK0を2分周することによって、クロックCK1の論理値“H”の期間および論理値“L”の期間を、いずれもクロックCK0の1周期の期間とすることができる。これにより、デューティ比がほぼ50%にされたクロックCK1を得ている（たとえば、非特許文献1参照）。

【0004】

【非特許文献1】

ウィリアム・ジェイ・ダリイ (William J.Dally) ほか著、「デジタル・システムズ・エンジニアリング (Digital Systems Engineering)」、(米国)

、ケンブリッジ・ユニバーシティ・プレス (Cambridge University Press)、1998年8月、p. 581

【0005】

【発明が解決しようとする課題】

しかし、近年、デジタル回路において非常に高い周波数のクロックが用いられるようになり、分周回路100を構成する各トランジスタ素子における信号伝播遅延、特にMOS抵抗による遅延が影響し、デューティ比50%のクロックを得ることが困難となってきている。以下、この問題点について説明する。

【0006】

図8は、分周回路100から出力されるクロックCK1の論理値が変化するときの信号伝播の様子を示す。同図(a)は、クロックCK1が立ち上がり変化(“L”→“H”)をするときの信号伝播の様子を示す。また、同図(b)は、クロックCK1が立ち下がり変化(“H”→“L”)をするときの信号伝播の様子を示す。

【0007】

分周回路100のようなダイナミック型の2分周回路では、クロックCK0が立ち上がり変化をするときにクロックCK1の論理値が変化する。そして、クロックCK1が立ち上がり変化をするときの信号伝播遅延は、nチャネル型トランジスタ101およびpチャネル型トランジスタ102のターンオンに起因するものである。一方、クロックCK1が立ち下がり変化をするときの信号伝播遅延は、nチャネル型トランジスタ103のターンオンに起因するものである。したがって、クロックCK1が立ち上がり変化をするときは、立ち下がり変化をするときよりも、pチャネル型トランジスタ1個分だけ余分に遅延することとなる。

【0008】

図9は、分周回路100の入出力であるクロックCK0、CK1の波形を示す。一定周期で発生するクロックCK0の立ち上がり変化に対するクロックCK1の立ち上がり変化の遅延d1が、立ち下がり変化の遅延d2よりも大きいため、クロックCK1のデューティ比は50%のタイミングよりも誤差d3だけずれている。この誤差d3は、クロックCK0、CK1の周波数が比較的低い場合には

無視し得るものであるが、周波数が高くなるにつれ無視できなくなる。

【0009】

上記の問題に鑑み、本発明は、与えられたクロックのデューティ比がほぼ50%になるように補正を行うデューティ比補正回路の提供を目的とする。

【0010】

【課題を解決するための手段】

本発明が講じた手段は、デューティ比補正回路として、1周期あたりの第1の論理値の期間が第2の論理値の期間よりも短い第1のクロックを入力し、この第1のクロックを遅延させて、前記第2の論理値への変化が、前記第1のクロックの前記第1の論理値への変化時から半周期に相当する時間が経過したタイミングに現れる第2のクロックを出力する遅延部と、前記第1および第2のクロックに基づいて第3のクロックを出力するクロック出力部とを備え、前記第1のクロックを入力し、これのデューティ比を補正して、前記第3のクロックを出力するものとする。ここで、前記クロック出力部は、前記第1のクロックが前記第1の論理値に変化したとき、前記第3のクロックを、前記第1および第2の論理値のいずれか一方である第1の出力論理値に設定する第1の出力部と、前記第2のクロックが前記第2の論理値に変化したとき、前記第3のクロックを、前記第1および第2の論理値の他方である第2の出力論理値に設定する第2の出力部とを有するものとする。

【0011】

本発明によると、遅延部によって、第1のクロックが遅延させられ、第2の論理値への変化が、第1のクロックの第1の論理値への変化時（立ち上がりまたは立ち下がり変化時）から半周期に相当する時間が経過したタイミング（つまり、第1のクロックにおけるデューティ比がほぼ50%のタイミング）に現れる第2のクロックが出力される。そして、クロック出力部における第1の出力部によって、第1のクロックが第1の論理値に変化したとき、第3のクロックが第1の出力論理値に設定される。一方、第2の出力部によって、第2のクロックが第2の論理値に変化したとき、第3のクロックが第2の出力論理値に設定される。すなわち、第1のクロックにおけるデューティ比がほぼ50%のタイミングに、第3

のクロックは第2の出力論理値となる。したがって、本発明によって、与えられた第1のクロックのデューティ比を補正し、デューティ比がほぼ50%の第3のクロックを得ることができる。

【0012】

具体的には、本発明のデューティ比補正回路において、前記第1のクロックは、分周回路によって生成されたものとする。

【0013】

また、具体的には、前記第1の出力部は、nチャネル型およびpチャネル型のいずれか一方のチャネル型であって、かつ、ゲートに前記第1のクロックを入力する第1のトランジスタを有するものとする。また、前記第2の出力部は、nチャネル型およびpチャネル型の他方のチャネル型であって、かつ、ゲートに前記第2のクロックを入力するとともに、前記第1のトランジスタとドレイン同士が接続された第2のトランジスタを有するものとする。そして、前記第3のクロックは、前記第1および第2のトランジスタの共通のドレインから出力される信号に基づいたものとする。

【0014】

また、具体的には、前記遅延部は、与えられた信号を通過させる状態にされ、かつ、前記第1のクロックを入力して前記第2のクロックを出力するトランスファークゲートを有するものとする。

【0015】

このように、与えられた信号を通過させる状態にされたトランスファークゲートに第1のクロックを与えることによって、第1のクロックを遅延させることができる。なお、好ましくは、前記トランスファークゲートは、ゲートとドレインとが接続されたトランジスタを有するものとする。

【0016】

また、具体的に、前記遅延部は、ゲートに所定の電圧が与えられ、かつ、ソースまたはドレインに前記第1のクロックを入力してドレインまたはソースから前記第2のクロックを出力するトランジスタを有するものとする。また、前記トランジスタのゲートに与えられる前記所定の電圧は、当該トランジスタがnチャネ

ル型トランジスタにあっては当該トランジスタのゲート閾値以上の電圧である一方、当該トランジスタが p チャンネル型トランジスタにあっては当該トランジスタのゲート閾値以下の電圧であるとする。

【0017】

このように、遅延部に n チャンネル型および p チャンネル型のいずれか一方のチャンネル型のトランジスタを設け、当該トランジスタのソース・ドレイン間に第 1 のクロックを通すことによって、第 1 のクロックを遅延させることができる。

【0018】

さらに好ましくは、前記第 1 のクロックは、少なくとも 1 個の n チャンネル型トランジスタおよび少なくとも 1 個の p チャンネル型トランジスタで構成されたクロック生成回路によって生成されたものとし、前記クロック出力部は、少なくとも 1 個の n チャンネル型トランジスタおよび少なくとも 1 個の p チャンネル型トランジスタで構成されたものとする。そして、前記遅延部を構成する前記トランジスタは、前記第 3 のクロックが前記第 1 の出力論理値に変化したときに前記クロック生成回路および前記クロック出力部が有する前記第 1 の出力部においてターンオンするトランジスタと、前記第 3 のクロックが前記第 2 の出力論理値に変化したときに前記クロック生成回路および前記クロック出力部が有する前記第 2 の出力部においてターンオンするトランジスタとで、個数に差異が生じている方のチャンネル型のものとする。

【0019】

これによると、第 3 のクロックが第 1 の出力論理値に変化したときにターンオンする n チャンネル型および p チャンネル型のトランジスタの個数と、第 3 のクロックが第 2 の出力論理値に変化したときにターンオンする n チャンネル型および p チャンネル型のトランジスタの個数とを、それぞれ等しくすることができる。したがって、温度変化などで各トランジスタの特性が変化した場合であっても、得られる第 3 のクロックのデューティ比をほぼ 50% に保つことができる。

【0020】

【発明の実施の形態】

本発明の実施の形態について、以下、図面を参照しながら説明する。

【0021】

(第1の実施形態)

図1は、本発明の第1の実施形態に係るデューティ比補正回路の回路構成を示す。本実施形態のデューティ比補正回路10Aは、当該デューティ比補正回路10Aに与えられたクロックCK1（本発明の第1のクロックに相当する）を遅延させてクロックCK2（本発明の第2のクロックに相当する）を出力する遅延部11Aと、ソースに接地電圧が与えられ、ゲートにクロックCK1が与えられるnチャネル型トランジスタ12と、ソースに電源電圧が与えられ、ゲートにクロックCK2が与えられるpチャネル型トランジスタ13と、トランジスタ14、15から構成され、トランジスタ12、13の共通のドレインから出力される信号CK3'を反転させてクロックCK3（本発明の第3のクロックに相当する）を出力するインバータ回路16とを備えている。そして、トランジスタ12～15によってクロック出力部17が構成されている。なお、トランジスタ12、14からなる部分は本発明の第1の出力部に相当し、また、トランジスタ13、15からなる部分は本発明の第2の出力部に相当する。さらに、nチャネル型トランジスタ12は本発明の第1のトランジスタに相当し、また、pチャネル型トランジスタ13は本発明の第2のトランジスタに相当する。

【0022】

遅延部11Aは、nチャネル型トランジスタ111およびpチャネル型トランジスタ112からなるトランスファークゲート113を有している。トランジスタ111、112のゲートには、それぞれ電源電圧および接地電圧が与えられており、トランスファークゲート113は、与えられた信号を通過させる状態にされている。

【0023】

上記の通りに構成されたデューティ比補正回路10Aの動作について、図2に示したタイミングチャートを参照しながら説明する。なお、デューティ比補正回路10Aは、図7に示した分周回路100の後段に設けられ、分周回路100が出力する図9に示したクロックCK1を入力するものとして説明する。

【0024】

クロック CK1 が第 1 の論理値 “H” に変化したとき、トランジスタ 12 がターンオンし、信号 CK3' は第 2 の論理値 “L” (接地電圧) に変化する (図示せず)。そして、信号 CK3' はインバータ回路 16 によって反転され、トランジスタ 14 から、クロック CK3 として、第 1 の出力論理値 “H” (電源電圧) の信号が出力される。

【0025】

一方、クロック CK1 が第 2 の論理値 “L” に変化したとき、これに遅延して (図 2 に示した遅延 d3) クロック CK2 が第 2 の論理値 “L” に変化する。これにより、トランジスタ 13 がターンオンし、信号 CK3' は第 1 の論理値 “H” (電源電圧) に変化する。そして、信号 CK3' はインバータ回路 16 によって反転され (図示せず)、トランジスタ 15 から、クロック CK3 として、第 2 の出力論理値 “L” (接地電圧) の信号が出力される。

【0026】

クロック CK2 の第 2 の論理値 “L” への変化は、クロック CK1 のデューティ比がほぼ 50% のタイミングに現れる。したがって、デューティ比補正回路 10A から出力されるクロック CK3 のデューティ比はほぼ 50% となる。

【0027】

上記の動作において、遅延部 11A に第 2 の論理値 “L” のクロック CK1 が与えられる直前、すなわち、クロック CK1 が第 1 の論理値 “H” であるとき、n チャンネル型トランジスタ 111 はターンオフ状態にあり、p チャンネル型トランジスタ 112 はターンオン状態にある。したがって、クロック CK1 が第 2 の論理値 “L” に変化したとき、クロック CK1 の遅延に関して、n チャンネル型トランジスタ 111 の影響は比較的小さなものであり、主に p チャンネル型トランジスタ 112 のオン抵抗 (MOS 抵抗) が影響を及ぼすことになる。すなわち、遅延部 11A は、クロック CK1 に対して、実質的に p チャンネル型トランジスタ 1 個分の伝播遅延を生じさせる。

【0028】

図 3 は、デューティ比補正回路 10A を図 7 に示した分周回路 100 の後段に設けた場合に、デューティ比補正回路 10A から出力されるクロック CK3 の論

理値が変化するときの信号伝播の様子を示す。同図 (a) は、クロック CK 3 が立ち上がり変化 (“L” → “H”) をするときの信号伝播の様子を示す。また、同図 (b) は、クロック CK 3 が立ち下がり変化 (“H” → “L”) をするときの信号伝播の様子を示す。

【0029】

クロック CK 3 が立ち上がり変化をするとき、分周回路 100 におけるトランジスタ 101, 102 およびデューティ比補正回路 10A におけるトランジスタ 12, 14 の合計 4 個のトランジスタを経由することによる伝播遅延が生じる。一方、クロック CK 3 が立ち下がり変化をするとき、分周回路 100 におけるトランジスタ 103 およびデューティ比補正回路 10A におけるトランジスタ 112, 13, 15 の合計 4 個のトランジスタを経由することによる伝播遅延が生じる。すなわち、デューティ比補正回路 10A を分周回路 100 の後段に設けることによって、クロック CK 3 の立ち上がり変化と立ち下がり変化とで伝播遅延量が等しくされる。このことから、クロック CK 3 のデューティ比がほぼ 50% となることがわかる。

【0030】

さらに、図 3 に示した回路構成によると、クロック CK 3 の立ち上がり変化と立ち下がり変化とで経路する n チャネル型および p チャネル型のトランジスタの個数がそれぞれ等しくされている。これにより、温度変化などで分周回路 100 およびデューティ比補正回路 10A を構成する各トランジスタの特性が変化した場合であっても、クロック CK 3 の立ち上がり変化および立ち下がり変化への影響が同程度となり、得られる第 3 のクロックのデューティ比をほぼ 50% に保つことができる。

【0031】

以上、本実施形態によると、デューティ比が 50% からずれたクロック CK 1 について、遅延部 11A における p チャネル型トランジスタ 112 のオン抵抗による伝播遅延によってこの「ずれ」を補償し、デューティ比がほぼ 50% にされたクロック CK 3 を得ることができる。また、温度変化などでトランジスタの特性が変化しても、その変化に影響されることなく、クロック CK 3 のデューティ

比をほぼ50%に保つことができる。

【0032】

なお、デューティ比補正回路10Aの入力を生成する回路を分周回路100としたが、本発明はこれに限定されるものではない。デューティ比補正回路10Aが入力とするクロックCK1を生成する回路は、クロックを生成する一般的なクロック生成回路であってもよい。

【0033】

また、クロックCK1にはpチャネル型トランジスタ1個分のデューティ比の「ずれ」が生じているものとしたが、複数個分の「ずれ」が生じていてもよい。その場合、遅延部11Aによる伝播遅延の量が多くなるように、遅延部11Aを構成すればよい。

【0034】

また、遅延部11Aはpチャネル型トランジスタ13の側に設けられたものとしたが、nチャネル型トランジスタ12の側に設けてもよい。

【0035】

また、インバータ回路16は省略することが可能である。これを省略した場合であっても、クロックCK3の立ち上がり変化と立ち下がり変化とで伝播遅延量を等しくすることができ、本発明が奏する効果に何ら相違はない。

【0036】

また、上記説明では、第1および第2の論理値をそれぞれ“H”および“L”としたが、これを逆にした場合であっても、上記説明におけるトランジスタの極性を逆にすることにより、上記と同様の効果を奏するデューティ比補正回路を構成することが可能である。

【0037】

(第2の実施形態)

図4は、本発明の第2の実施形態に係るデューティ比補正回路の回路構成を示す。本実施形態のデューティ比補正回路10Bは、第1の実施形態に係るデューティ比補正回路10Aにおける遅延部11Aをこれとは構成の異なる遅延部11Bに置き換えた回路構成をしている。また、デューティ比補正回路10Aにおけ

るインバータ回路 16 を省略したクロック出力部 18 を備え、図 1 に示した信号 CK3' をクロック CK3 として出力する。なお、図 4 において、図 1 に示した構成要素と同様のものについてはこれと同一の符号を付し、説明を省略する。以下、遅延部 11B についてのみ説明する。

【0038】

遅延部 11B は、n チャネル型トランジスタ 111 および p チャネル型トランジスタ 112 からなるトランスファークロップ 113 を有している。トランジスタ 111 のゲートには電源電圧が与えられている。一方、トランジスタ 112 のゲートとドレインとは接続されている。これにより、クロック CK1 を遅延させるときに、トランジスタ 112 のゲート容量による伝播遅延を加えることができる。

【0039】

以上、本実施形態によると、p チャネル型トランジスタ 112 のオン抵抗に加えてゲート容量による伝播遅延によって、クロック CK1 のデューティ比 50% からの「ずれ」を補償することができる。これにより、クロック CK1 について p チャネル型トランジスタ 1 個分の「ずれ」を、さらに正確に補償することができる。

【0040】

なお、p チャネル型トランジスタ 112 ではなく、n チャネル型トランジスタ 111 のゲートとドレインとを接続するようにしてもよい。

【0041】

また、遅延部 11B は p チャネル型トランジスタ 13 の側に設けられたものとしたが、n チャネル型トランジスタ 12 の側に設けてもよい。

【0042】

(第 3 の実施形態)

図 5 は、本発明の第 3 の実施形態に係るデューティ比補正回路の回路構成を示す。本実施形態のデューティ比補正回路 10C は、第 2 の実施形態に係るデューティ比補正回路 10B における遅延部 11B をこれとは構成の異なる遅延部 11C に置き換えた回路構成をしている。なお、図 5 において、図 4 に示した構成要

素と同様のものについてはこれと同一の符号を付し、説明を省略する。以下、遅延部 11C についてのみ説明する。

【0043】

遅延部 11C は、p チャネル型トランジスタ 112 を有している。トランジスタ 112 のゲートには、当該トランジスタ 112 のゲート閾値電圧 V_{th} が与えられている。ここで、トランジスタ 112 は p チャネル型トランジスタであるため、接地電圧よりも低い電圧が与えられている。このように、トランジスタ 112 のゲートにゲート閾値電圧 V_{th} を与えることにより、トランスファークロックを設けることなく、ソースまたはドレインに与えられるクロック CK1 の論理値に応じて、トランジスタ 112 のスイッチング動作が可能となる。

【0044】

以上、本実施形態によると、p チャネル型トランジスタ 112 のみによる伝播遅延によって、クロック CK1 のデューティ比 50% からの「ずれ」を補償することができる。これにより、クロック CK1 について p チャネル型トランジスタ 1 個分の「ずれ」を、さらに正確に補償することができる。

【0045】

なお、トランジスタ 112 のゲートに与える電圧は、ゲート閾値電圧 V_{th} よりも大きな電圧、すなわち、上記説明よりもさらに低い電圧であってもよい。

【0046】

また、遅延部 11C は、p チャネル型トランジスタ 112 に代えて、n チャネル型トランジスタを有するものでもよい。この場合、n チャネル型トランジスタのゲートには、当該トランジスタのゲート閾値電圧以上の電圧を与えればよい。

【0047】

また、遅延部 11C を n チャネル型トランジスタ 12 の側に設けるようにしてもよい。

【0048】

(第 4 の実施形態)

第 1 から第 3 の実施形態に係るデューティ比補正回路 10A, 10B, 10C は、基本的には、トランジスタ 12, 13 からなるインバータ回路（一入力回路

)に遅延部11A, 11B, 11Cを挿入した構成となっている。しかし、本発明はこれに限定されるものではなく、多入力の回路を基礎として実現可能である。そこで、多入力の回路として2入力NAND回路を基礎に構成したデューティ比補正回路についての例を示す。

【0049】

図6は、本発明の第4の実施形態に係るデューティ比補正回路の回路構成を示す。本実施形態のデューティ比補正回路10Dは、nチャネル型トランジスタ12a, 12bおよびpチャネル型トランジスタ13a, 13bからなる2入力NAND回路(クロック出力部19)において、遅延部11a, 11bを、pチャネル型トランジスタ13a, 13bの側にそれぞれ設けた構成をしており、2つの入力端子に共通のクロックCK1を入力する。なお、遅延部11a, 11bは、第1から第3の実施形態で説明した遅延部11A, 11B, 11Cのいずれであってもよい。上記の通りに構成されたデューティ比補正回路10Dは、第1から第3の実施形態に係るデューティ比補正回路10A, 10B, 10Cと同様に、入力とするクロックCK1のデューティ比50%からの「ずれ」を補償して、デューティ比がほぼ50%にされたクロックCK3を出力する。

【0050】

なお、上記説明において、遅延部11a, 11bはpチャネル型トランジスタ13a, 13bの側に設けられたものとしたが、nチャネル型トランジスタ12a, 12bの側に設けてもよい。

【0051】

【発明の効果】

以上説明したように、本発明によると、分周回路などによって生成されるクロックのデューティ比50%からの「ずれ」を補償して、従来、分周回路だけでは生成が困難であったデューティ比50%の高周波数クロックを得ることができる。近年、デジタル回路において非常に高い周波数のクロックが用いられるようになってきた状況を鑑みるに、本発明によって得られる効果は極めて大きなものである。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るデューティ比補正回路の回路図である。

【図 2】

図 1 に示したデューティ比補正回路のタイミングチャートである。

【図 3】

図 1 に示したデューティ比補正回路を分周回路の後段に設けた場合の信号伝播の様子を示す図である。

【図 4】

本発明の第 2 の実施形態に係るデューティ比補正回路の回路図である。

【図 5】

本発明の第 3 の実施形態に係るデューティ比補正回路の回路図である。

【図 6】

本発明の第 4 の実施形態に係るデューティ比補正回路の回路図である。

【図 7】

一般的な分周回路の回路図である。

【図 8】

図 7 に示した分周回路における信号伝播の様子を示す図である。

【図 9】

図 7 に示した分周回路の入力クロックおよび出力クロックの波形図である。

【符号の説明】

10A, 10B, 10C, 10D, 10E デューティ比補正回路

11A, 11B, 11C, 11a, 11b 遅延部

12, 12a, 12b nチャネル型トランジスタ (第 1 のトランジスタ、第 1 の出力部)

13, 13a, 13b pチャネル型トランジスタ (第 2 のトランジスタ、第 2 の出力部)

14 pチャネル型トランジスタ (第 1 の出力部)

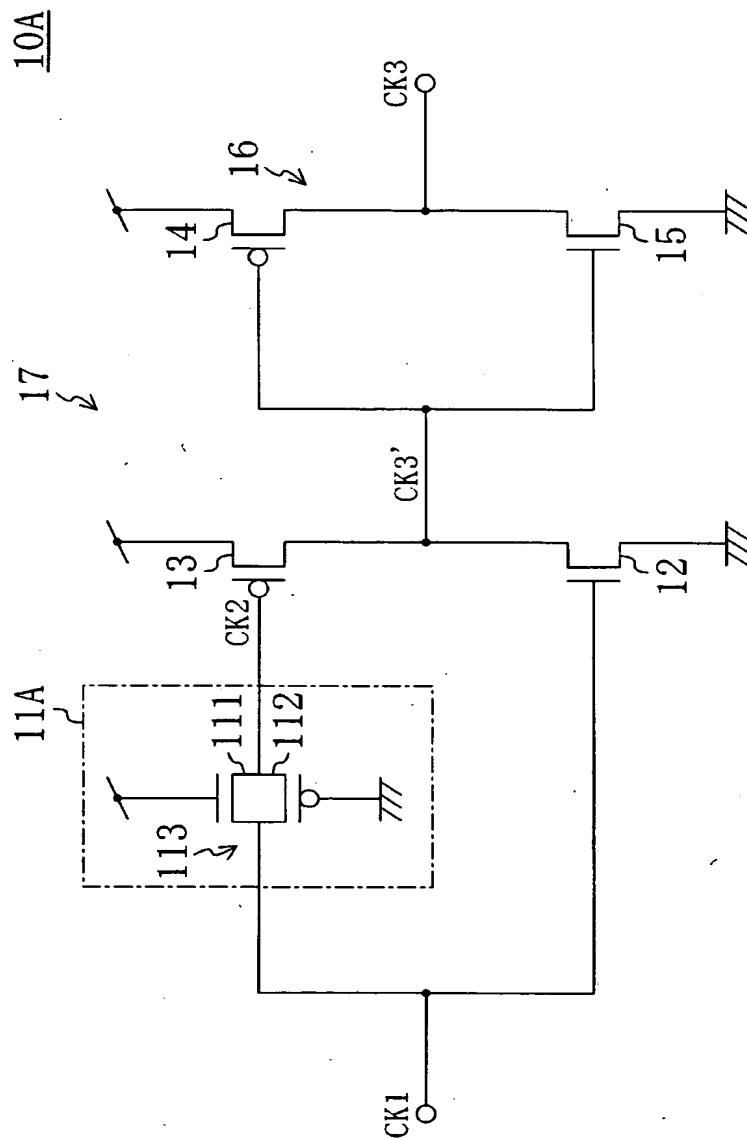
15 nチャネル型トランジスタ (第 2 の出力部)

17, 18, 19 クロック出力部

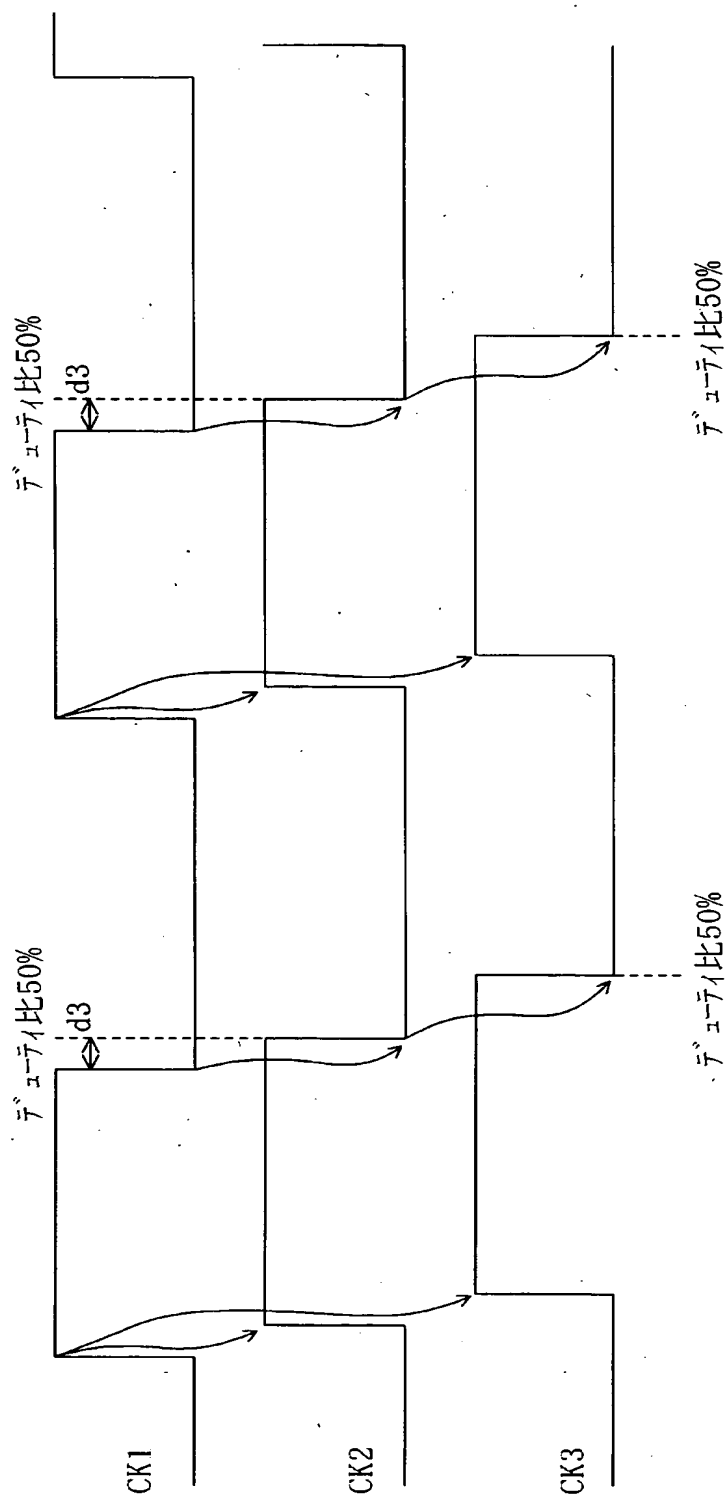
- 1 1 2 p チャンネル型トランジスタ (トランジスタ)
- 1 1 3 トランスファークゲート
- 1 0 0 分周回路 (クロック生成回路)
- CK 1 クロック (第 1 のクロック)
- CK 2 クロック (第 2 のクロック)
- CK 3 クロック (第 3 のクロック)

【書類名】 図面

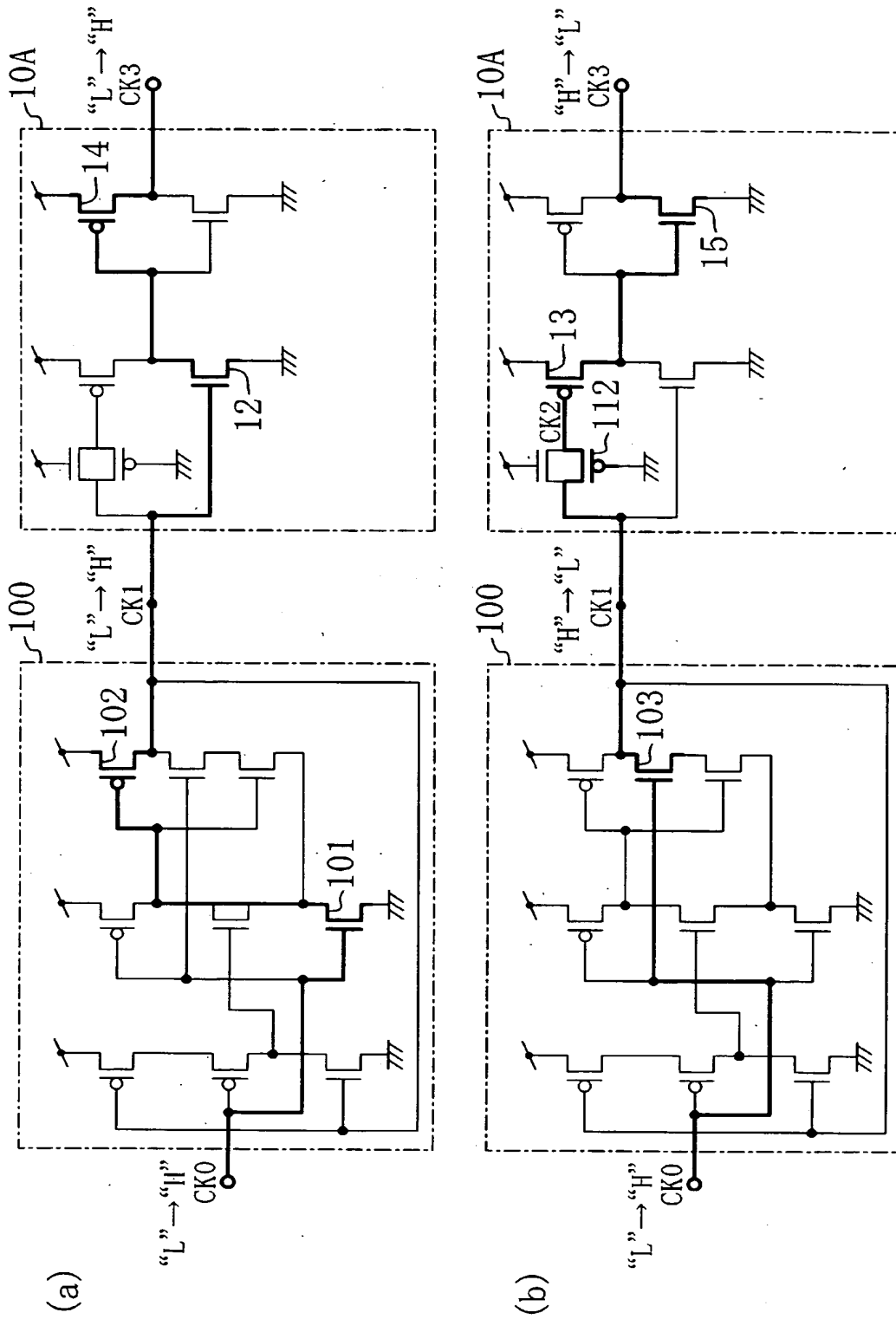
【図 1】



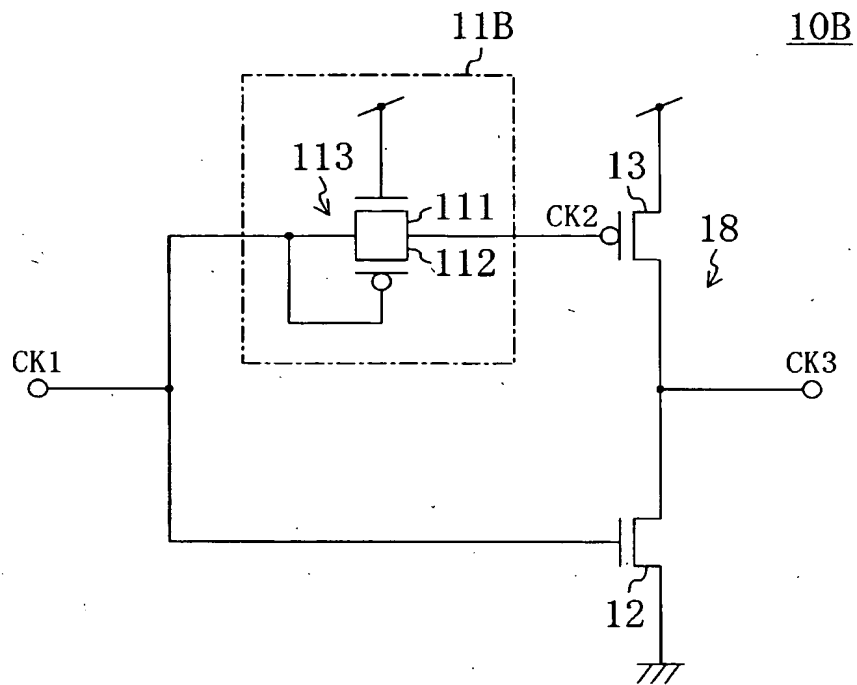
【図 2】



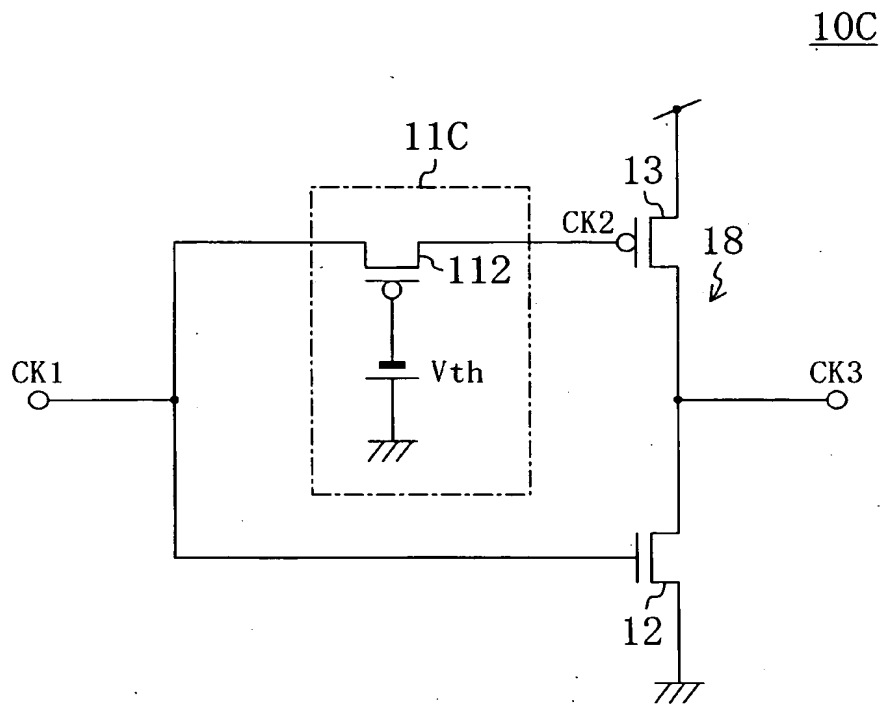
【図 3】



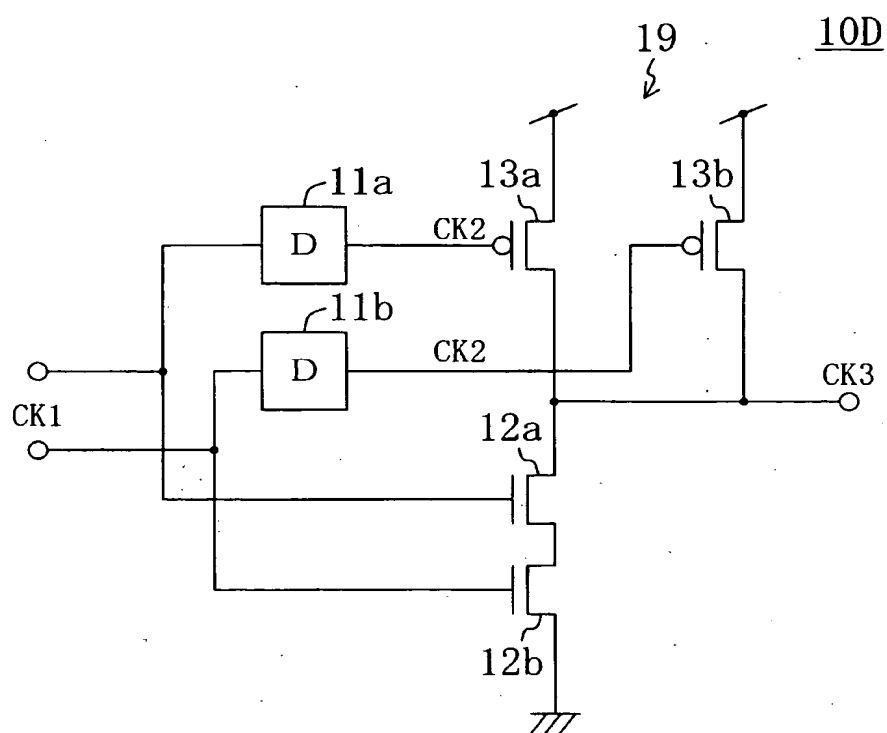
【図 4】



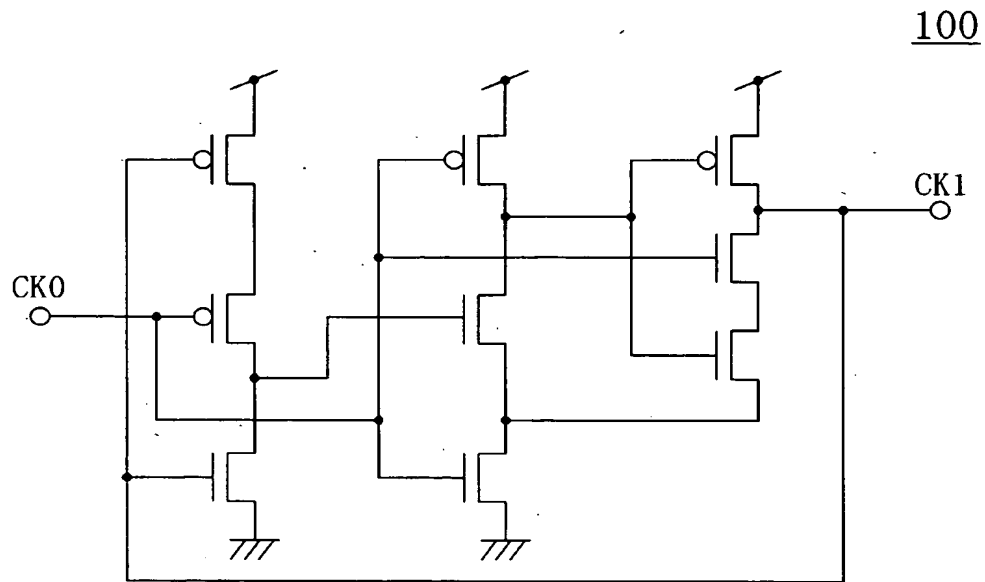
【図 5】



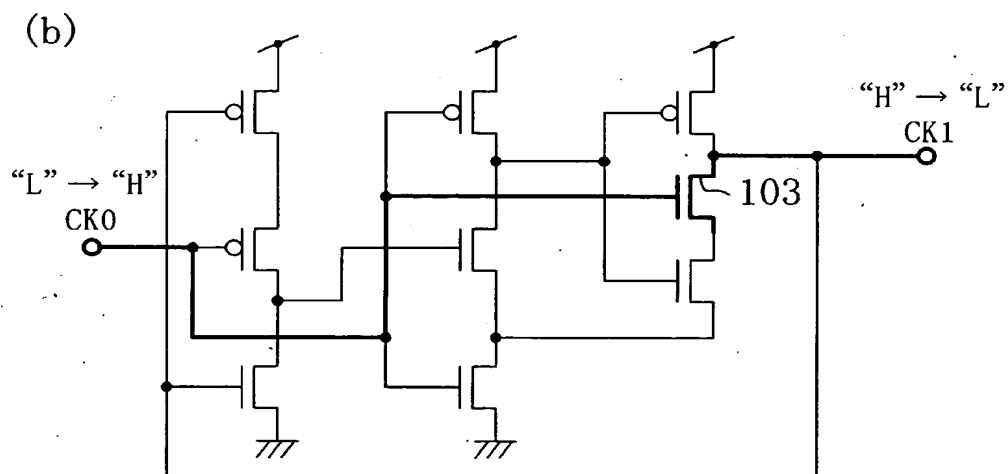
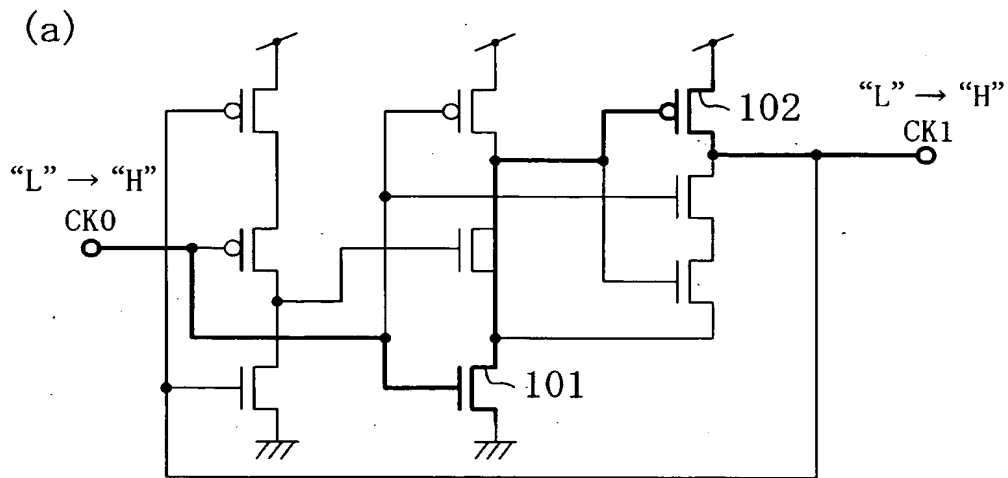
【図 6】



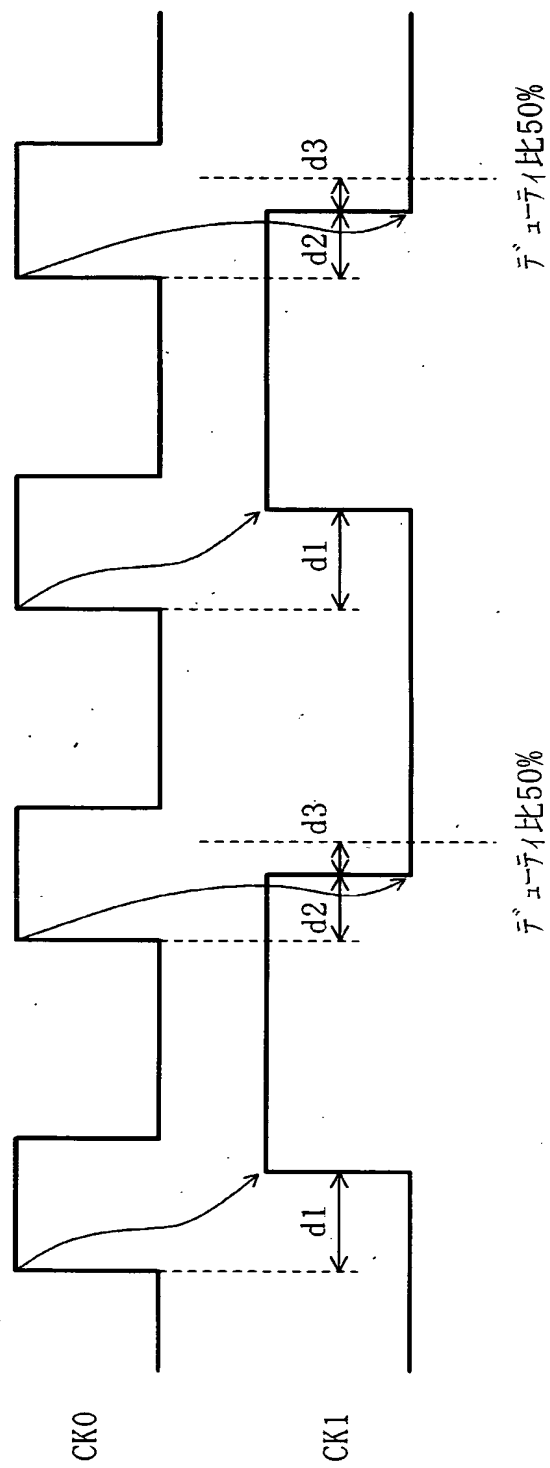
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 与えられたクロックのデューティ比を補正してデューティ比50%のクロックを得る。

【解決手段】 デューティ比補正回路10Aは、クロックCK1を遅延させてクロックCK2を出力する遅延部11Aと、クロックCK1, CK2をそれぞれのゲート入力とするトランジスタ12, 13およびこれらの共通のドレイン出力である信号CK3'を反転してクロックCK3を出力するインバータ回路16からなるクロック出力部17とを備えている。遅延部11Aは、クロックCK1の立ち下り変化がデューティ比50%のタイミングに現れるようにクロックCK1を遅延させる。トランジスタ12, 13は、それぞれクロックCK1の立ち上がり変化およびクロックCK2の立ち下がり変化に応じて接地電圧および電源電圧を共通のドレインから出力する（信号CK3'）。そして、最終的にデューティ比がほぼ50%にされたクロックCK3が得られる。

【選択図】 図1

特願 2 0 0 2 - 3 5 4 7 3 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社